

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 6 月 17 日 (17.06.2004)

PCT

(10) 国際公開番号
WO 2004/051726 A1

(51) 国際特許分類: H01L 21/3205,
21/768, 21/28, 21/285, 21/288, 29/06

(21) 国際出願番号: PCT/JP2003/015322

(22) 国際出願日: 2003 年 12 月 1 日 (01.12.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2002-347753
2002 年 11 月 29 日 (29.11.2002) JP

(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 阪本 利司 (SAKAMOTO, Toshitsugu) [JP/JP]; 〒108-8001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 川浦 久雄 (KAWAURA, Hisao) [JP/JP]; 〒

108-8001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 馬場 寿夫 (BABA, Toshio) [JP/JP]; 〒108-8001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 二瓶 史行 (NIHEY, Fumiyuki) [JP/JP]; 〒108-8001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 落合 幸徳 (OCHIAI, Yukinori) [JP/JP]; 〒108-8001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 本郷 廣生 (HONGO, Hiroo) [JP/JP]; 〒108-8001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).

(74) 代理人: 宮崎 昭夫, 外 (MIYAZAKI, Teruo et al.); 〒107-0052 東京都港区赤坂 1 丁目 9 番 20 号 第 16 興和ビル 8 階 Tokyo (JP).

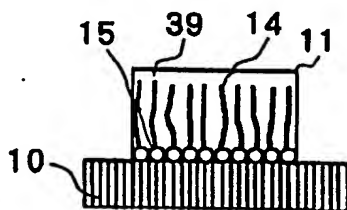
(81) 指定国 (国内): CN, JP, US.

添付公開書類:
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 半導体装置およびその製造方法



(57) Abstract: There has been a problem that microminaturization causes increase of the resistance of wiring structure and degradation of electron migration resistance and stress migration resistance. The present invention provides a wiring structure of a semiconductor device having a low resistance even when the semiconductor device is microminaturized, free of electron migration and stress migration, and having a high reliability and a method for manufacturing the same. A semiconductor device having a wiring or a connection plug made of a mixture of a metal and carbon nanotubes buried in a wiring groove or a via hole made in an insulating film on a substrate where a semiconductor chip is fabricated, and its manufacturing method are provided.

(57) 要約: 微細化により、配線構造の抵抗値の増大および、エレクトロマイグレーション及びストレスマイグレーション耐性の低下が問題となっている。本発明は、微細化しても抵抗値が低く、エレクトロマイグレーションおよびストレスマイグレーションを生じない高い信頼性をもつ半導体装置の配線構造およびその製造方法を提供することにある。半導体素子が形成された基板上の絶縁膜上に形成された配線溝あるいはビアホールに金属とカーボンナノチューブの混合体を材料とした配線あるいは接続プラグを有する半導体装置と、その製造方法である。

WO 2004/051726 A1